

Adaptabilidade Dinâmica e o caminho para FPGAs do Futuro
**Confiabilidade frente às novas tecnologias
de manufatura**

Luigi Carro, *Gabriel L. Nazar*, Ricardo Ferreira
glnazar@inf.ufrgs.br

Sumário

- Avanço tecnológico e confiabilidade
- Aspectos específicos de FPGAs
- Aplicando técnicas clássicas em FPGAs
- Soluções específicas para FPGAs
- Conclusões e desafios

Sumário

- **Avanço tecnológico e confiabilidade**
- Aspectos específicos de FPGAs
- Aplicando técnicas clássicas em FPGAs
- Soluções específicas para FPGAs
- Conclusões e desafios

Avanço tecnológico e confiabilidade

- Muitas aplicações são intrinsecamente críticas
 - Vidas humanas em risco



Avanço tecnológico e confiabilidade

- Muitas aplicações são intrinsecamente críticas
 - Riscos ambientais



Avanço tecnológico e confiabilidade

- Muitas aplicações são intrinsecamente críticas
 - Fatores econômicos



Avanço tecnológico e confiabilidade

- **Restrições de dependabilidade devem ser satisfeitas**
 - Ex., confiabilidade, disponibilidade, manutenibilidade, performabilidade, etc.
- **Mas ainda estamos sujeitos aos tradicionais requisitos não funcionais**
 - Ex., custo, performance, área, potência, eficiência energética, etc.

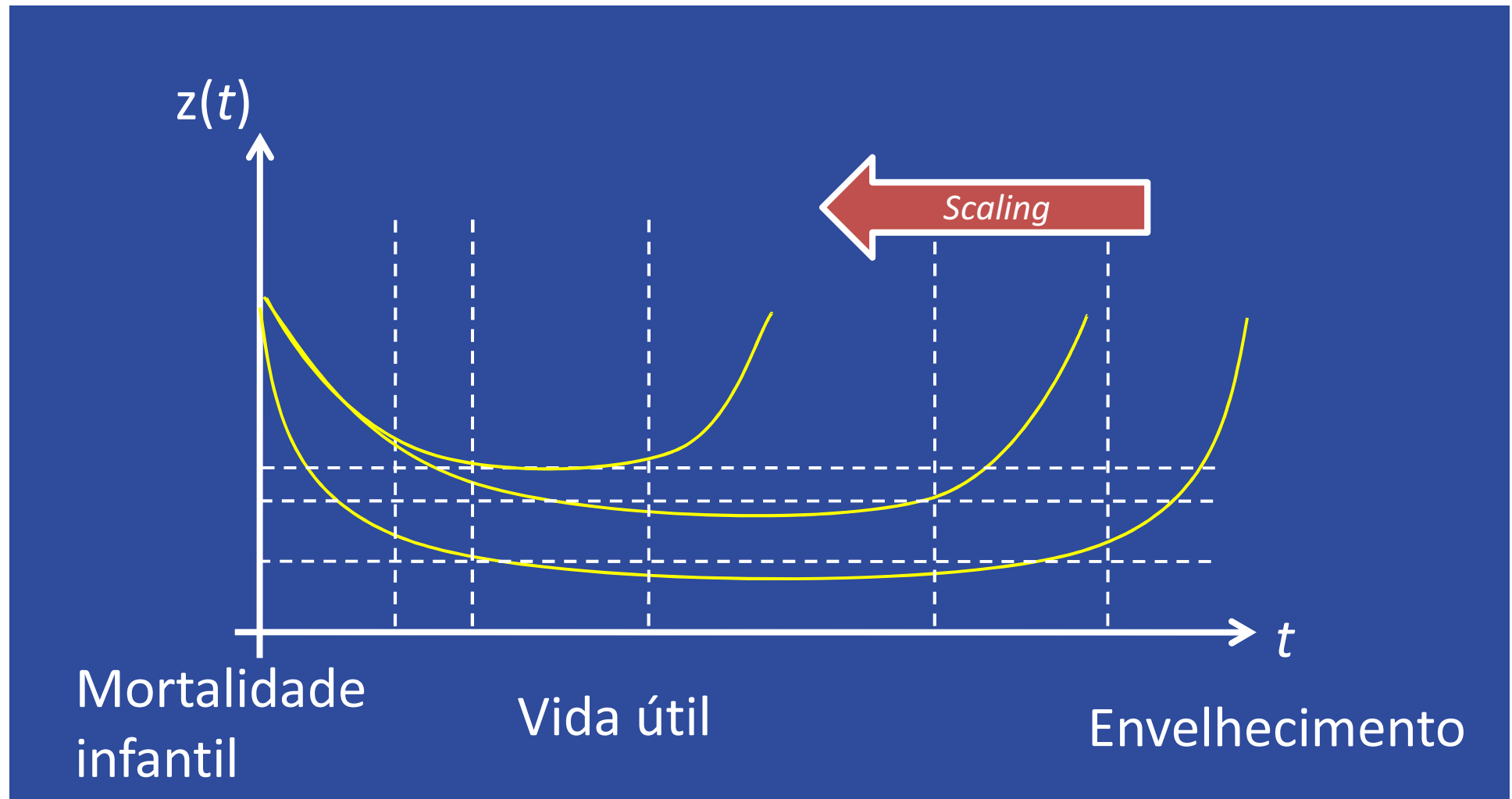
Avanço tecnológico e confiabilidade

- Queremos:

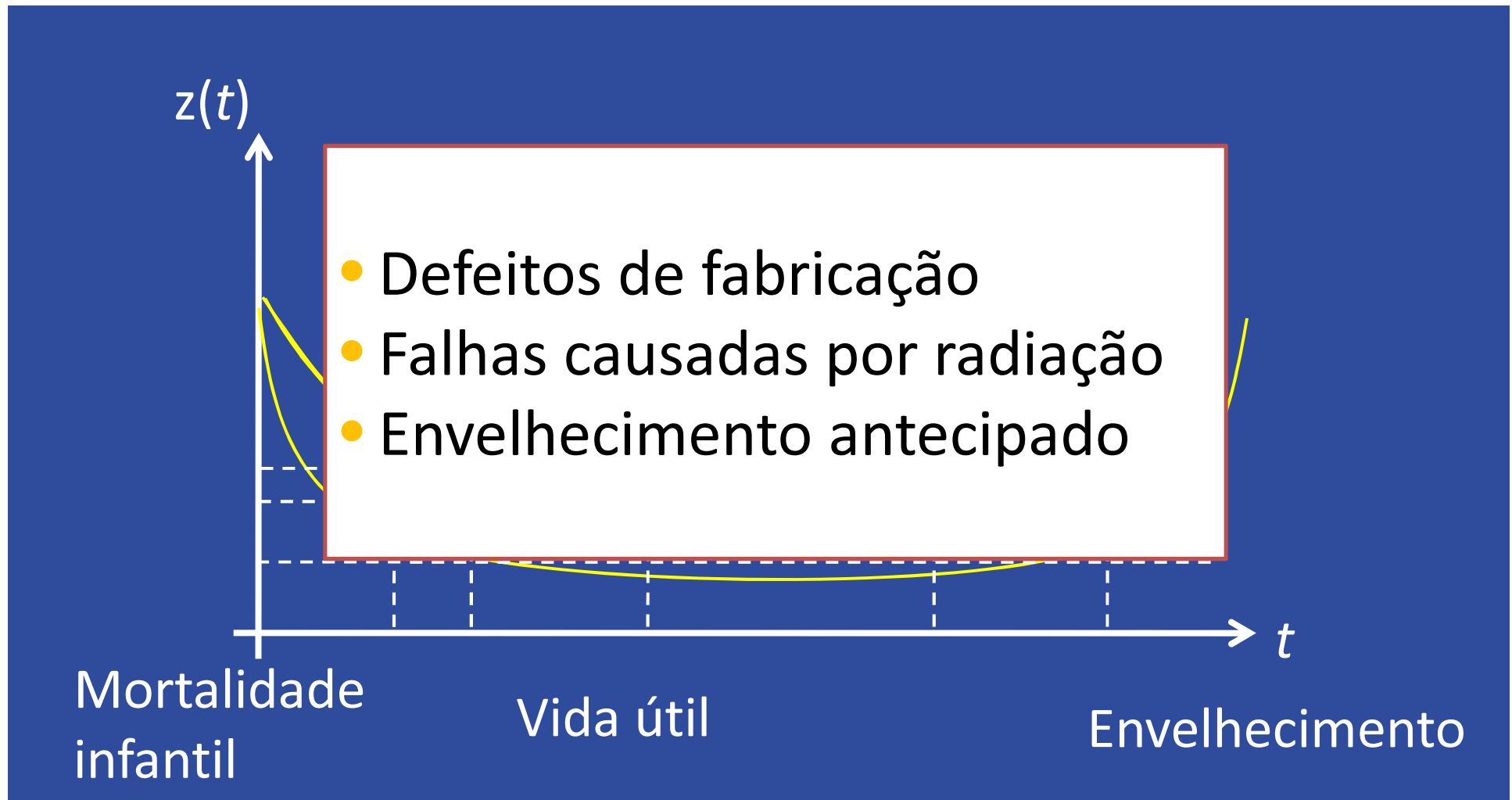
“Scaling” provê:

- ↑ Performance ✓
- ↑ Integração ✓
- ↑ Dependabilidade ×
- ↓ Energia ✓
- ↓ Custo +-
Custo de fabricação (por transistor) ✓
Non-recurring engineering (NRE) ×

Avanço tecnológico e confiabilidade



Avanço tecnológico e confiabilidade

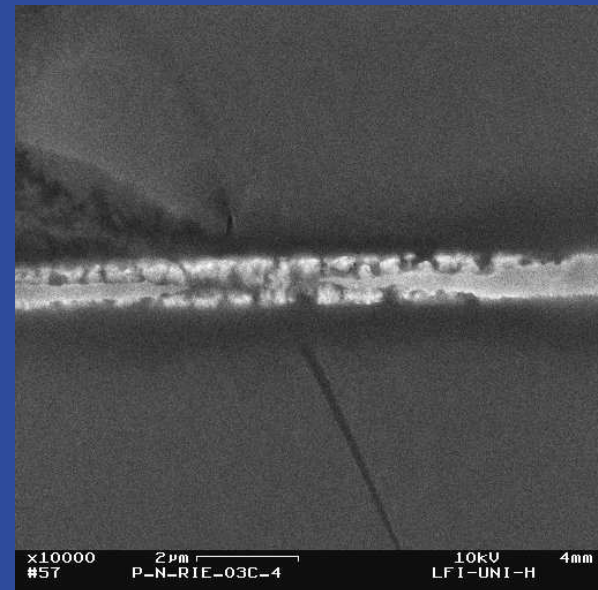


Avanço tecnológico e confiabilidade

- **Defeitos de fabricação:**
 - **Transistores e interconexões menores**
 - **Necessária maior precisão no processo de fabricação**
 - **Circuitos mais complexos**
 - **Teste mais complexo**
 - **Menor *time-to-market***
 - **Variabilidade inerente do processo**
 - **Prática de *burn-in* para evitar período de “mortalidade infantil”**

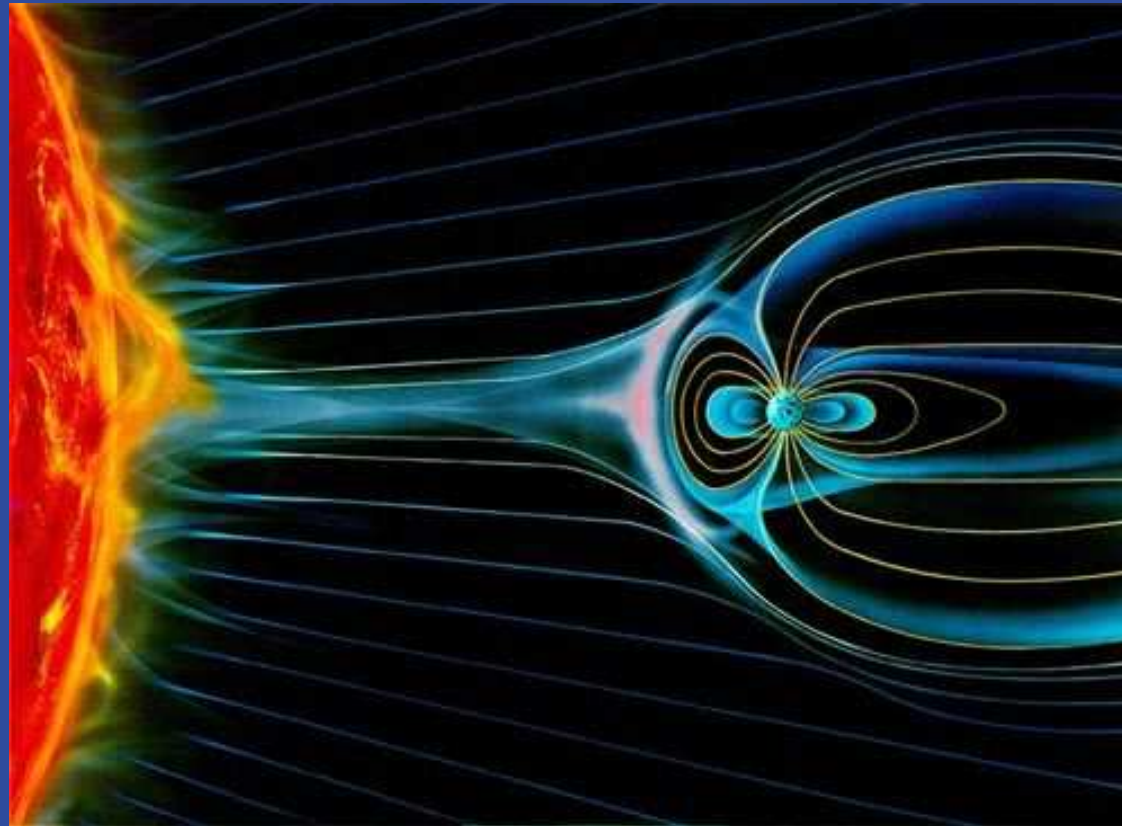
Avanço tecnológico e confiabilidade

- **Envelhecimento antecipado:**
 - Eletromigração (EM), *hot carrier injection* (HCI), *time-dependent dielectric breakdown* (TDDB), *negative-bias temperature instability* (NBTI)
 - Degradação contínua do dispositivo, eventualmente levando a falhas



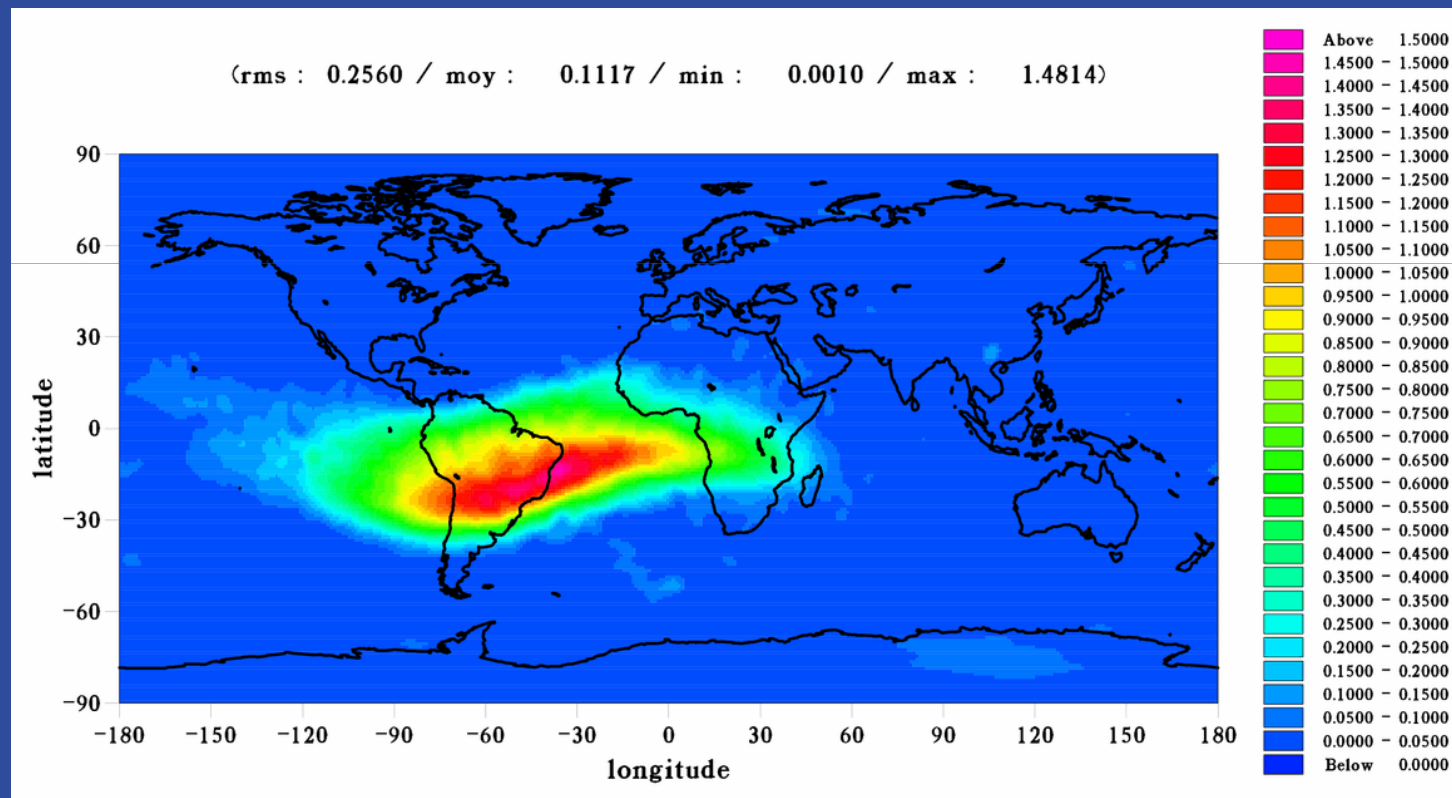
Avanço tecnológico e confiabilidade

- Efeitos da radiação



Avanço tecnológico e confiabilidade

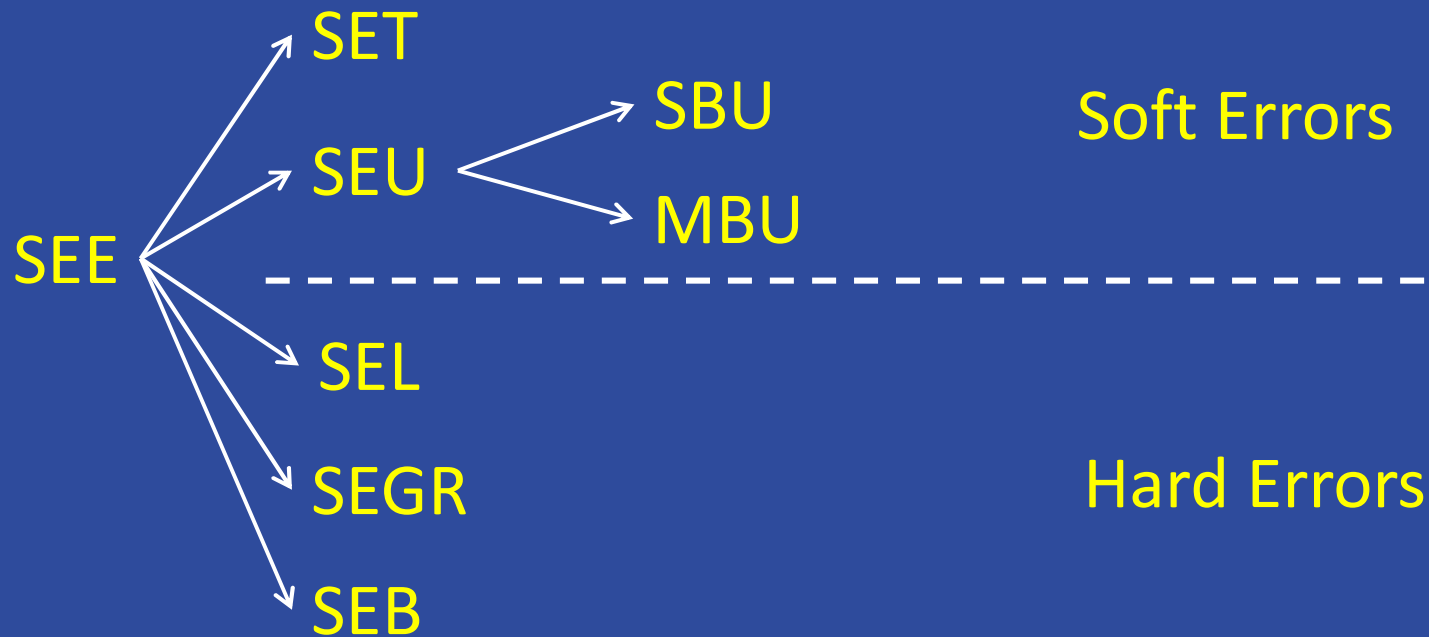
- Efeitos da radiação



Avanço tecnológico e confiabilidade

- Efeitos da radiação

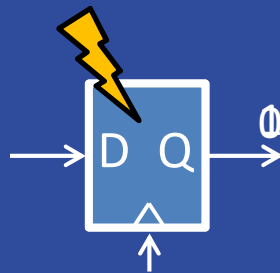
TID



Avanço tecnológico e confiabilidade

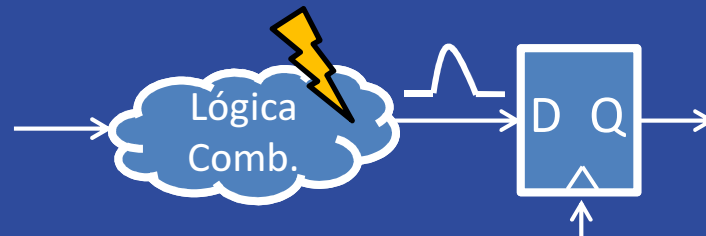
- **Single Event Upset (SEU)**

- Inversão de valor armazenado em célula de memória, porém sem danificá-la



- **Single Event Transient (SET)**

- “Glitch” transitório em lógica combinacional, pode (ou não) ser registrado, levando a um erro



Sumário

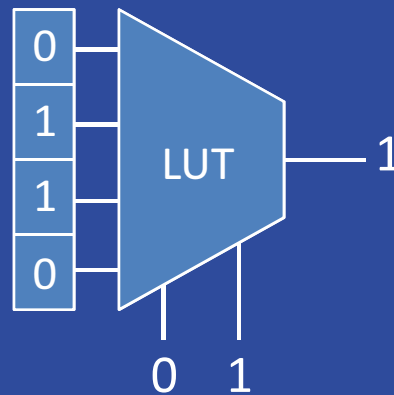
- Avanço tecnológico e confiabilidade
- **Aspectos específicos de FPGAs**
- Aplicando técnicas clássicas em FPGAs
- Soluções específicas para FPGAs
- Conclusões e desafios

Aspectos específicos de FPGAs

- FPGAs de diferentes fabricantes podem ter características e objetivos bastante diferentes
- Memória de configuração é fator essencial
 - Falhas que afetam essas memórias levam têm efeitos inexistentes em circuitos dedicados (ASICs)
 - Modelo de falhas representativo é diferente

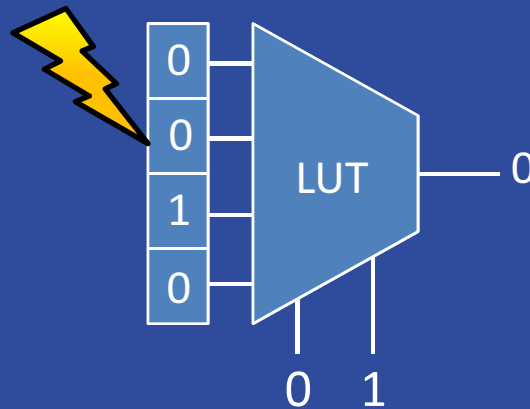
Aspectos específicos de FPGAs

- SEUs podem afetar bits da configuração (*bitstream*)
 - Modificando a funcionalidade do circuito “permanentemente”



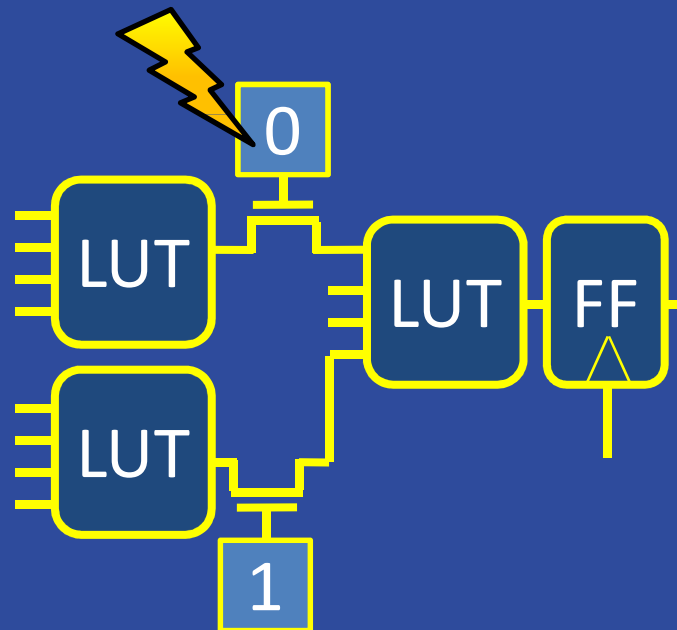
Aspectos específicos de FPGAs

- SEUs podem afetar bits da configuração (*bitstream*)
 - Modificando a funcionalidade do circuito “permanentemente”



Aspectos específicos de FPGAs

- ...e essas falhas podem afetar interconexão entre os componentes do circuito
 - Criando tanto circuitos abertos quanto curtos-circuitos



Aspectos específicos de FPGAs

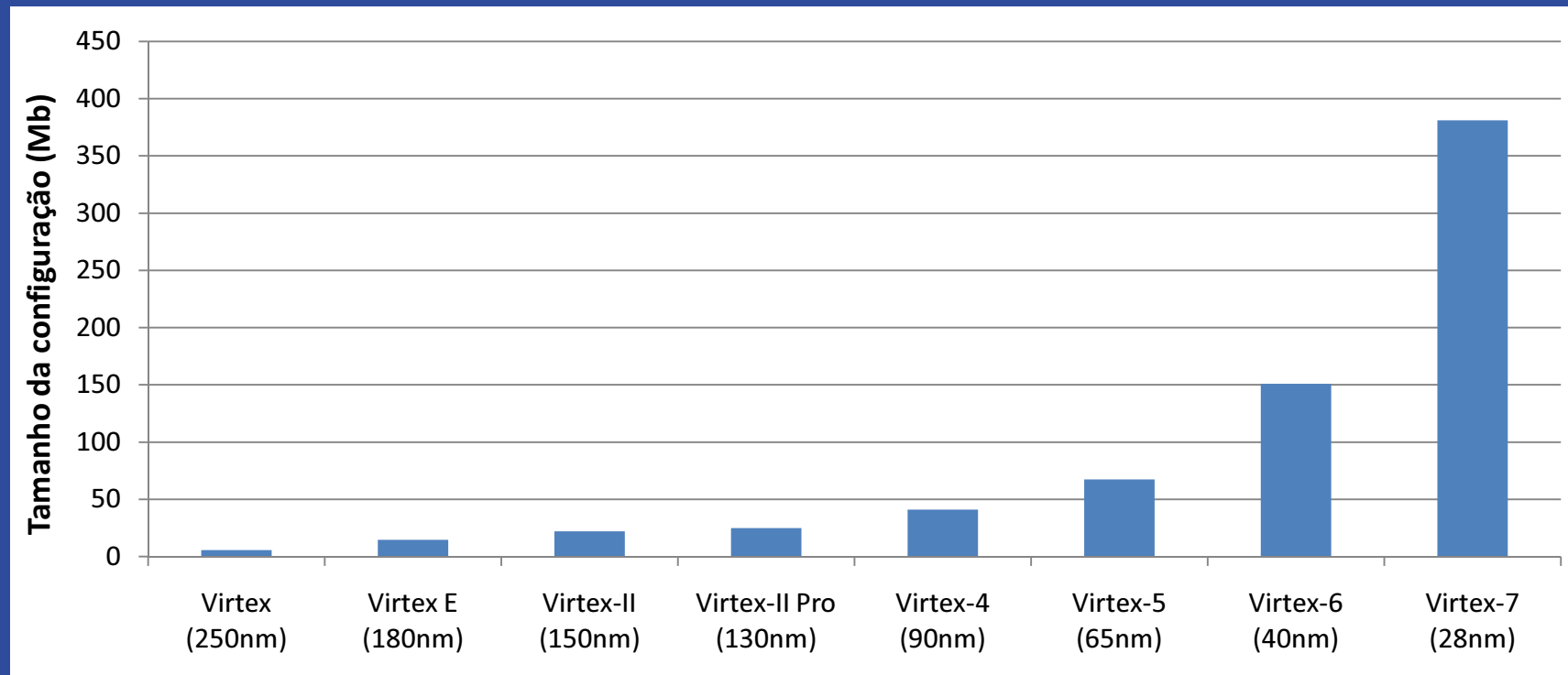
- **Diferentes tecnologias disponíveis:**
 - **Antifusível:** programável somente uma vez
 - Dispositivos de baixa capacidade lógica
 - Mas extremamente resistentes aos efeitos da radiação
 - **FLASH:** vantagens relevantes
 - Reprogramável, não-volátil e mais resiliente à radiação que SRAM
 - Mas dispositivos mais caros e de capacidade inferior
 - **SRAM:** padrão para dispositivos comerciais
 - Dispositivos de maior densidade, fabricados nas tecnologias mais recentes
 - Maior sensibilidade a radiação

Aspectos específicos de FPGAs

- Dispositivos de alta capacidade para cada tecnologia:
 - **SRAM**
 - 5M FFs, 2.5M LUTs de 6 entradas, 88.6 Mb de RAM interna (Xilinx UltraScale XCVU440)
 - **FLASH**
 - 150K FFs, 150K LUTs de 4 entradas, 5 Mb de RAM interna (Microsemi IGLOO2 M2GL150)
 - **Antifusível**
 - 20K FFs, 40K C-cells (funções de até 5 entradas), 540 Kb de RAM interna (Microsemi RTAX4000S/SL)

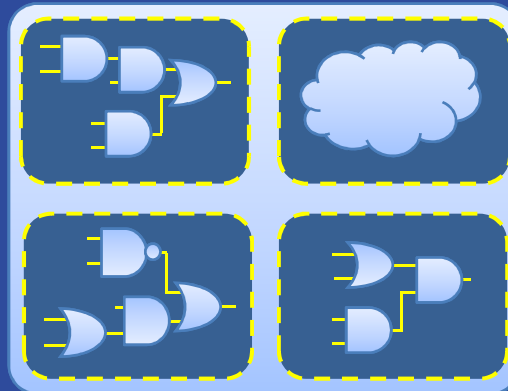
Aspectos específicos de FPGAs

- **Memória de configuração: grande e crescente**



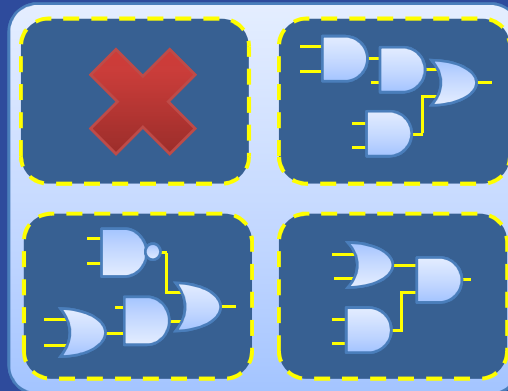
Aspectos específicos de FPGAs

- FPGAs não trazem somente problemas...
 - A regularidade do substrato é uma propriedade útil
 - Falhas permanentes podem ser contornadas realocando circuitos para regiões reservadas



Aspectos específicos de FPGAs

- FPGAs não trazem somente problemas...
 - A regularidade do substrato é uma propriedade útil
 - Falhas permanentes podem ser contornadas realocando circuitos para regiões reservadas



Sumário

- Avanço tecnológico e confiabilidade
- Aspectos específicos de FPGAs
- **Aplicando técnicas clássicas em FPGAs**
- Soluções específicas para FPGAs
- Conclusões e desafios

Aplicando técnicas clássicas em FPGAs

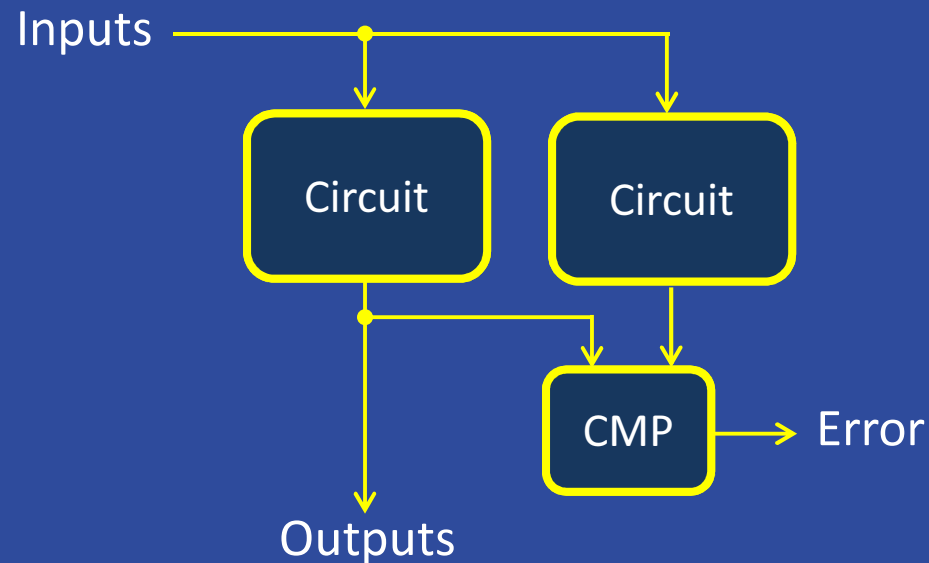
- **Tolerância a falhas não é uma preocupação recente:**

J. von Neumann, “Probabilistic Logics and the Synthesis of Reliable Organisms from Unreliable Components,” Automata Studies, pp. 43-98, Princeton Univ. Press, 1956.

- **Aplicação de técnicas consolidadas é uma alternativa, mas que requer cuidados extras**

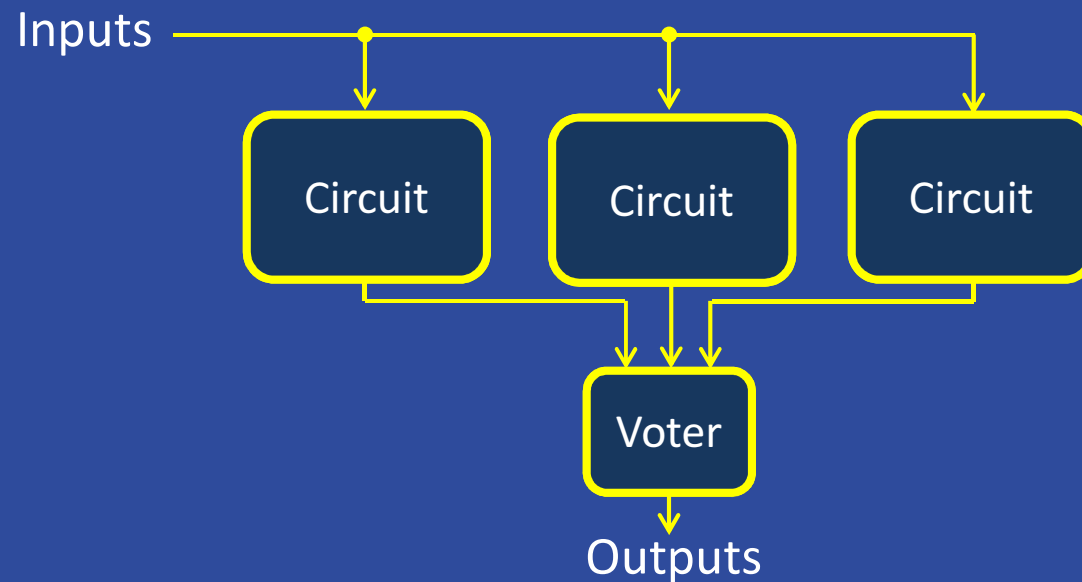
Aplicando técnicas clássicas em FPGAs

- Redundância modular
 - Dual Modular Redundancy (DMR)



Aplicando técnicas clássicas em FPGAs

- Redundância modular
 - Triple Modular Redundancy (TMR)



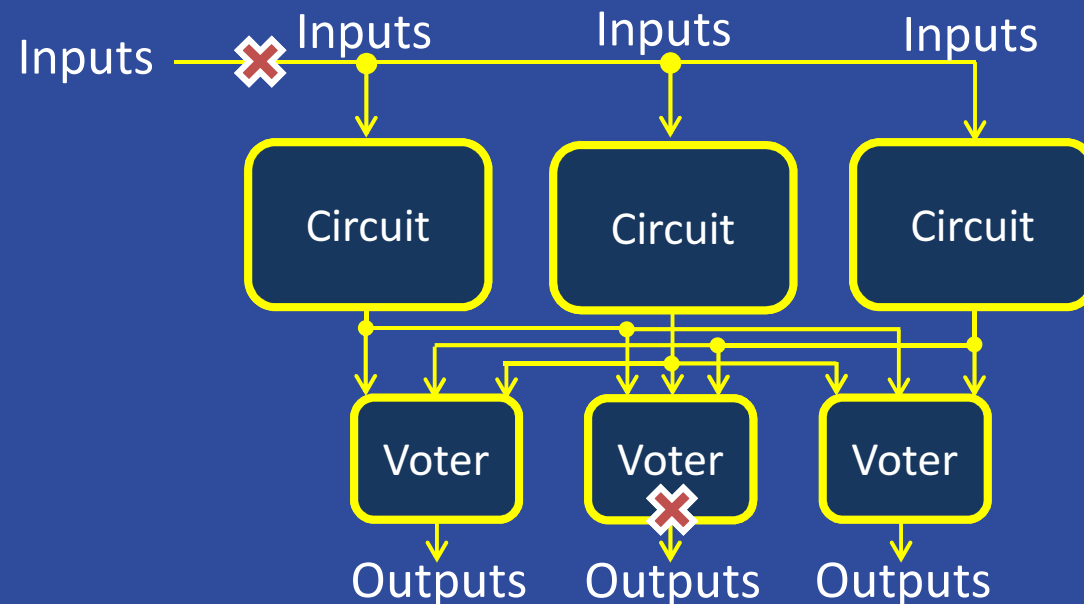
Aplicando técnicas clássicas em FPGAs

- Redundância modular
 - Alto impacto em área (>N vezes) 😞
 - Alto impacto em potência e energia (>N vezes) 😞
 - Baixo impacto em desempenho 😊
 - Aplicação “simples” e genérica 😊
 - Alta cobertura de detecção ou correção 😊

 - E o que acontece quando aplicamos a FPGAs?

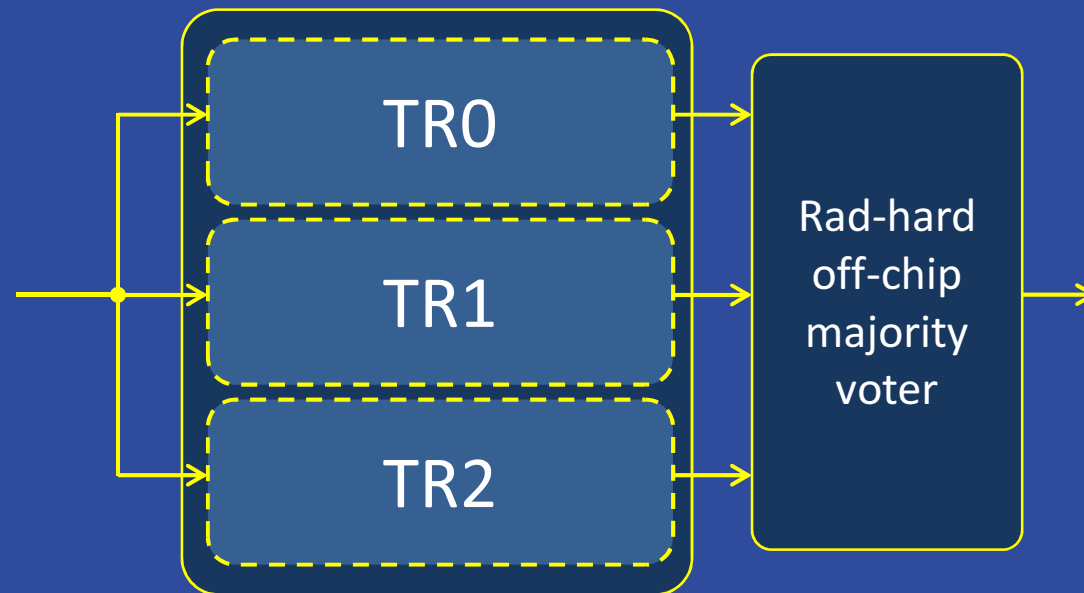
Aplicando técnicas clássicas em FPGAs

- Roteamento de entradas e saídas primárias é sensível
 - Modelo de falhas diferente daquele encontrado em ASICs
 - Continuamos com três saídas...



Aplicando técnicas clássicas em FPGAs

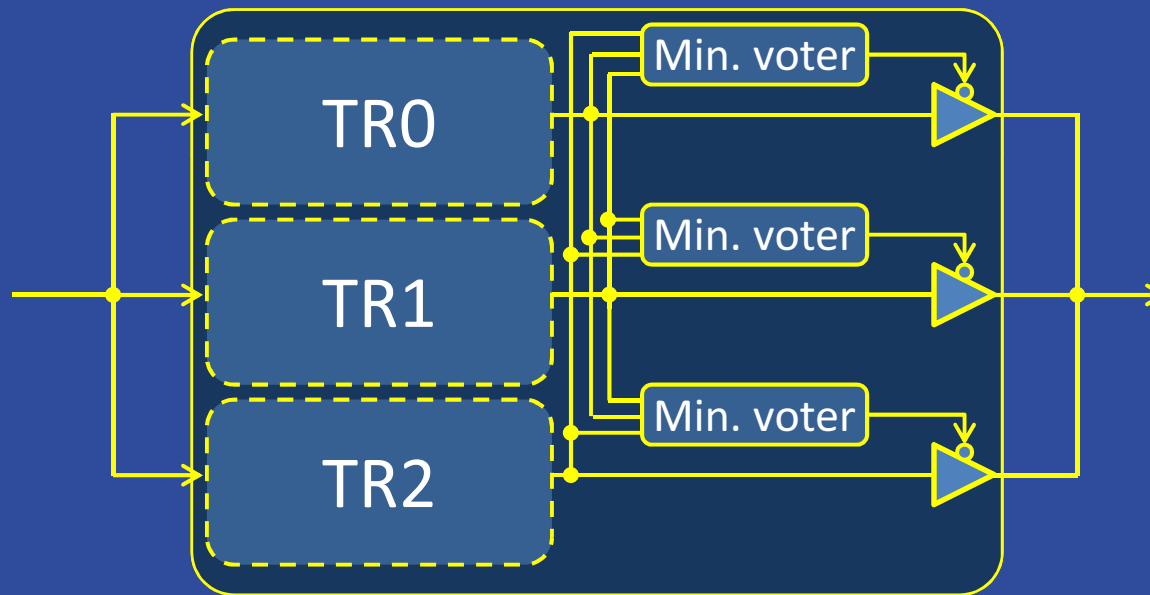
- Alternativas:



Aplicando técnicas clássicas em FPGAs

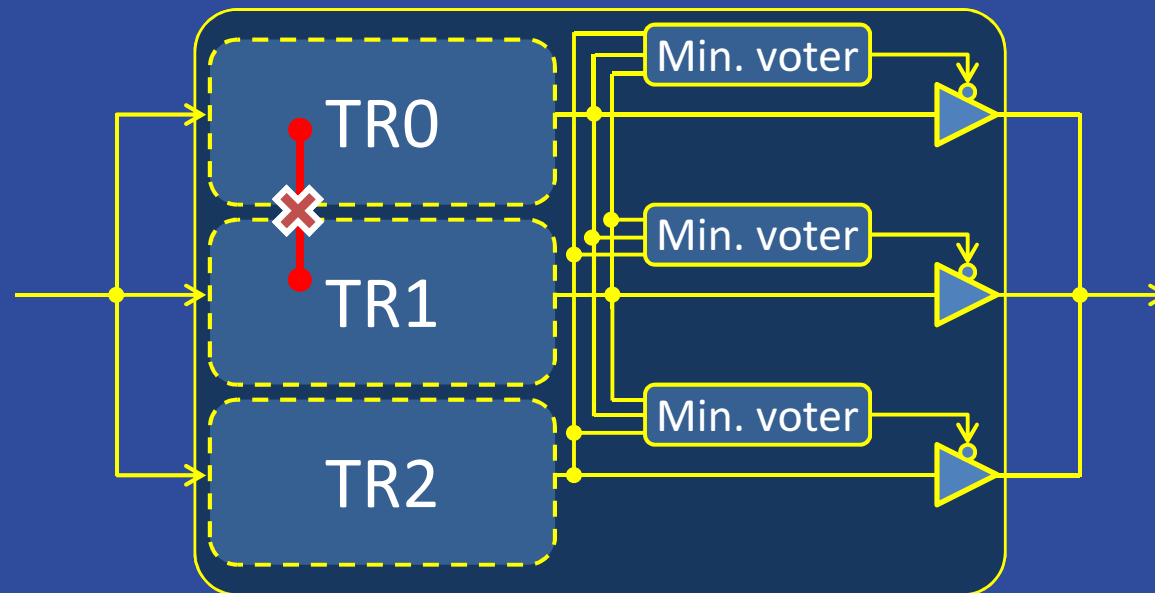
- Alternativas:

Cada “*minority voter*” desabilita o módulo discordante



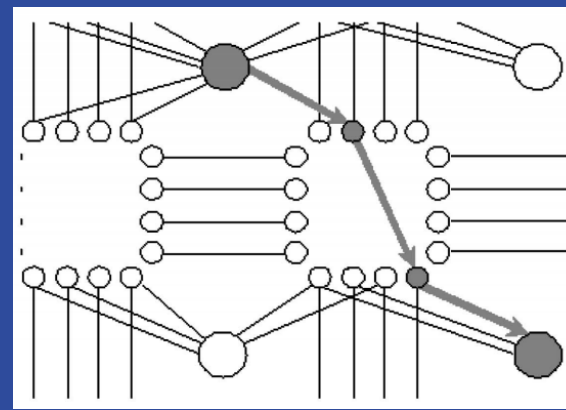
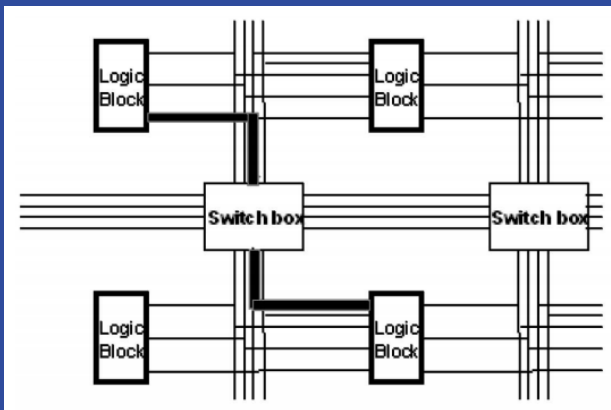
Aplicando técnicas clássicas em FPGAs

- Mais problemas...
 - Uma única falha pode corromper múltiplos sinais
 - Invalidando a hipótese de falha simples
 - Soluções específicas para esse problema foram propostas



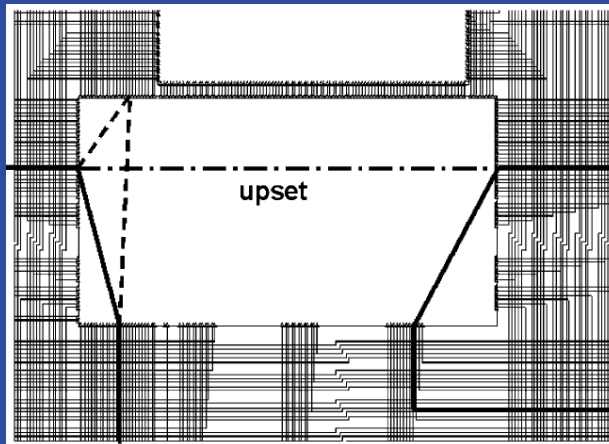
Aplicando técnicas clássicas em FPGAs

- **RoRA: Reliability-Oriented Place and Route Algorithm**
 - L. Sterpone, M. Violante, “A New Reliability-Oriented Place and Route Algorithm for SRAM-Based FPGAs”, IEEE Trans. on Comp., v. 55, n. 6, pp. 732-744, June 2006.
- Cria roteamento que evita situações de uma falha que afeta múltiplos módulos
 - Requer conhecimento do baixo nível do FPGA
 - Reduz em 85x a quantidade de bits que levam a defeitos, com 22% de custo médio em performance

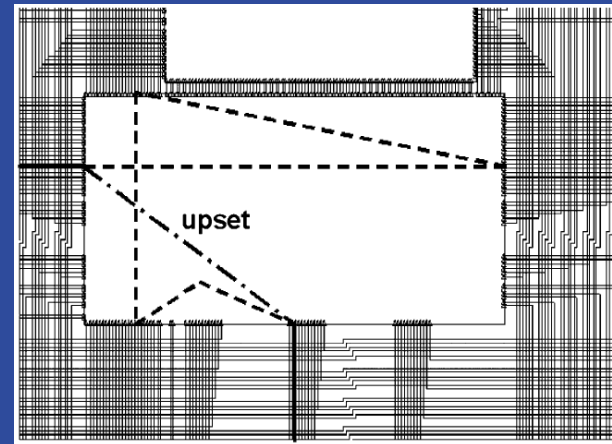


Aplicando técnicas clássicas em FPGAs

- Conexões redundantes podem ser adicionadas para tornar roteamento tolerante a falhas
 - F. L. Kastensmidt, C. K. Filho, L. Carro, “Improving Reliability of SRAM-Based FPGAs by Inserting Redundant Routing,” IEEE Trans. On Nuclear Science, v. 53, n. 4, pp. 2060-2068, Aug. 2006.
- Em caso de curto: sinal correto será “eletricamente mais forte”
- Em caso de circuito aberto: conexão redundante mantém sinal



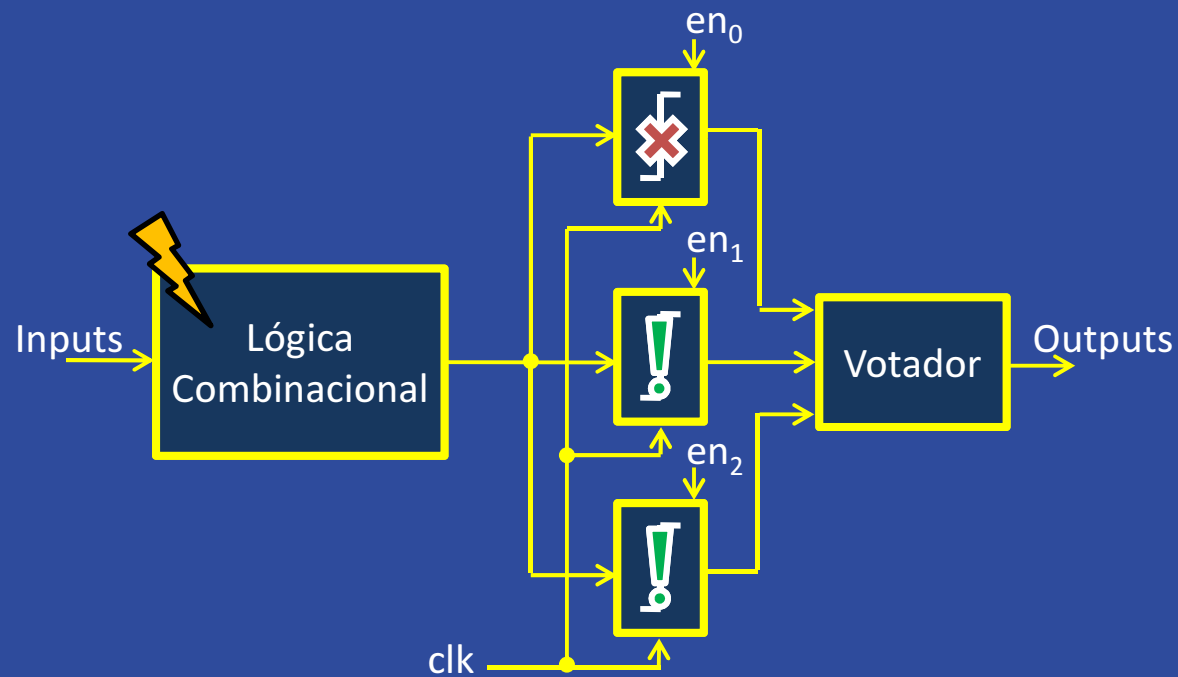
Curto-circuito



Circuito aberto

Aplicando técnicas clássicas em FPGAs

- Redundância temporal: repetir a computação no mesmo hardware e comparar resultados



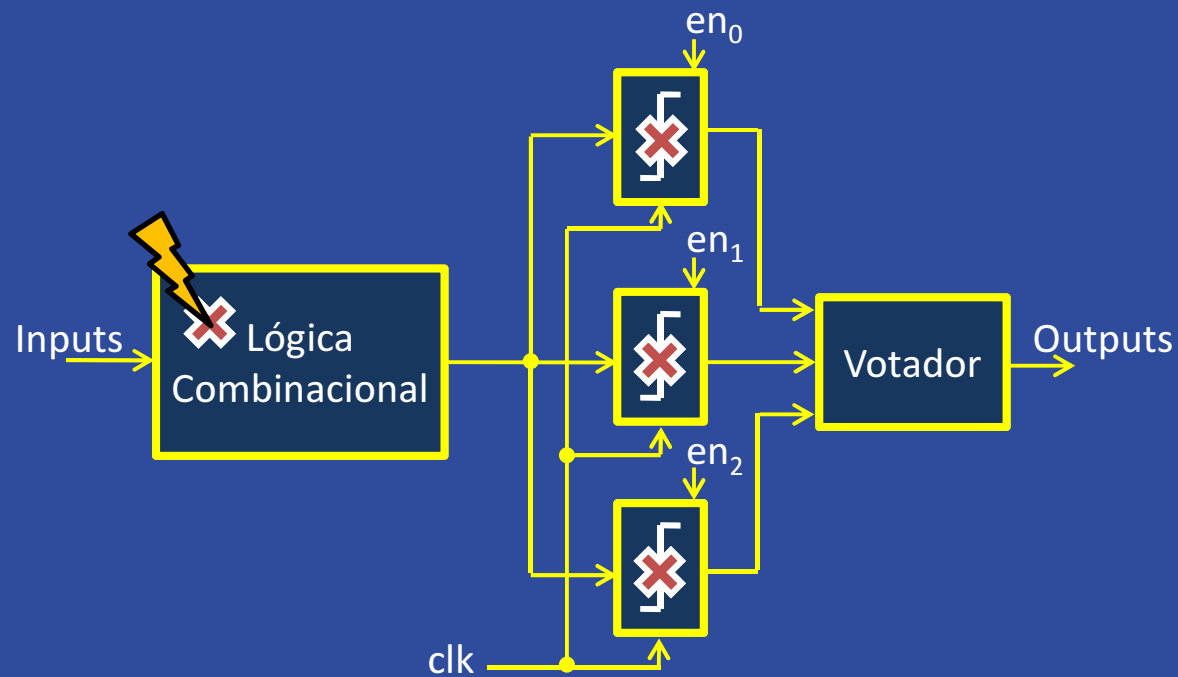
Aplicando técnicas clássicas em FPGAs

- Redundância temporal (em comparação com redundância modular):
 - Baixo impacto em área 😊
 - Baixo impacto em potência 😊
 - Impacto em energia mantém-se 😐
 - Alto impacto em desempenho 😞

 - E o que acontece quando aplicamos a FPGAs?

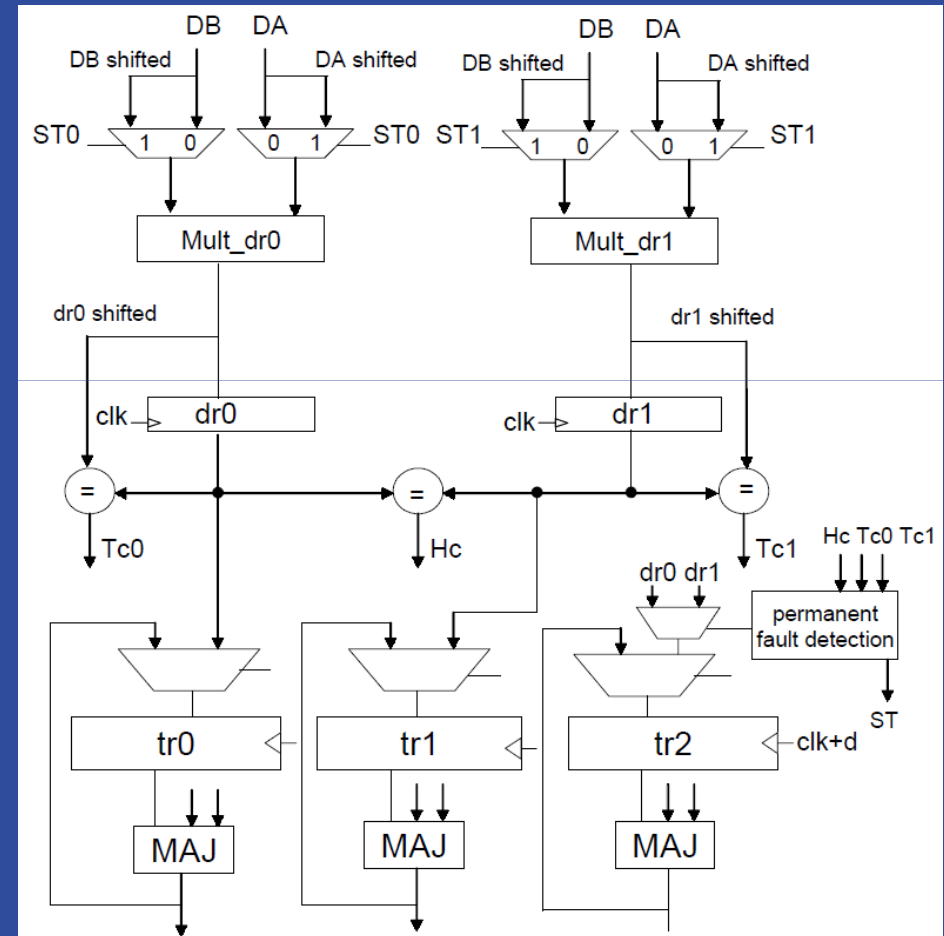
Aplicando técnicas clássicas em FPGAs

- Permanência da falha no substrato faz com que potencialmente todas as saídas estejam corrompidas



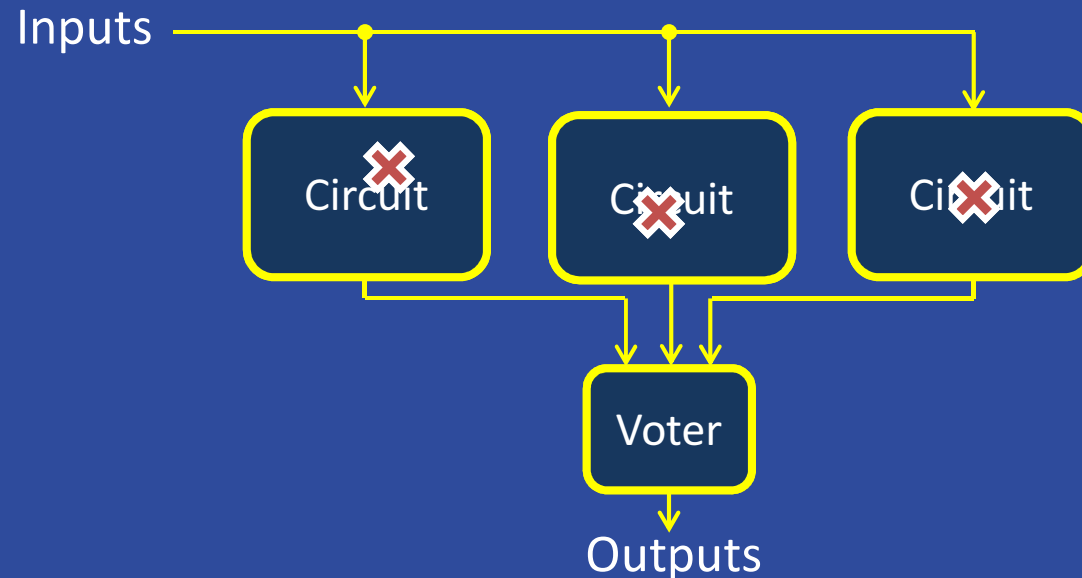
Aplicando técnicas clássicas em FPGAs

- **Redundância temporal** pode ser combinada com **redundância espacial** (modular)
 - F. Lima, L. Carro, and R. Reis, “Designing Fault Tolerant Systems into SRAM-based FPGAs,” in Design Automation Conference (DAC), pp. 650-655, 2003.
 - Modificação nos dados de entrada e saída para estimular o circuito de forma diferente
 - Permite mascarar erros de configuração, mas tem aplicação mais restrita e complexa



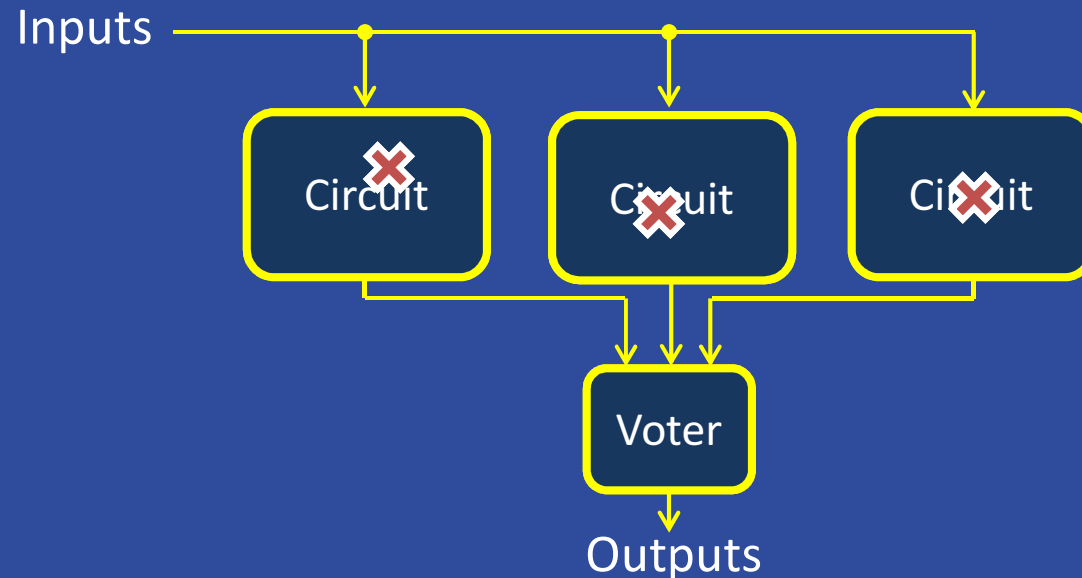
Aplicando técnicas clássicas em FPGAs

- A grande maioria das técnicas clássicas são construídas sob a hipótese de **falha única**
 - Ou seja, no máximo uma única falha afeta o sistema a cada instante de tempo
 - Hipótese faz sentido para falhas **raras e de curta duração**



Aplicando técnicas clássicas em FPGAs

- A persistência de falhas na configuração de FPGAs pode fazer com que elas se acumulem
 - Violando a hipótese de falha única!

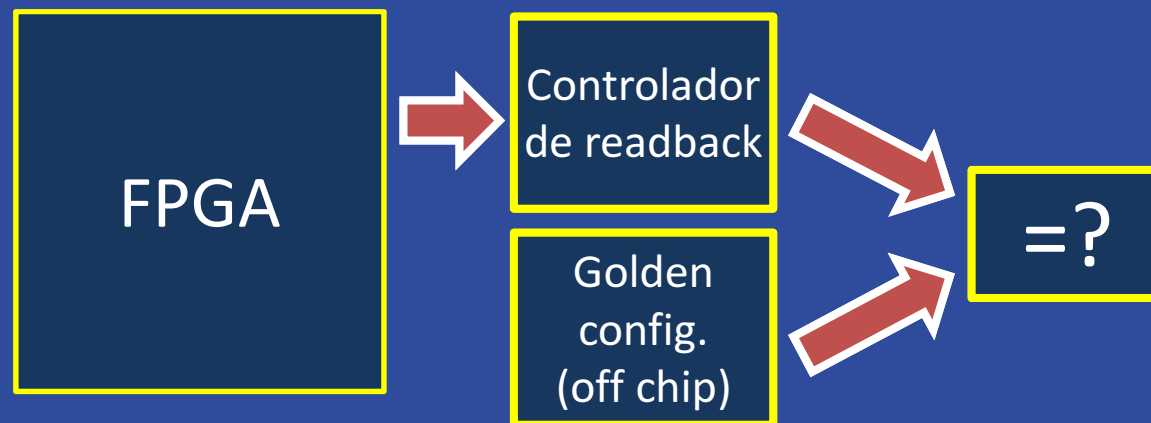


Sumário

- Avanço tecnológico e confiabilidade
- Aspectos específicos de FPGAs
- Aplicando técnicas clássicas em FPGAs
- **Soluções específicas para FPGAs**
- Conclusões e desafios

Soluções específicas para FPGAs

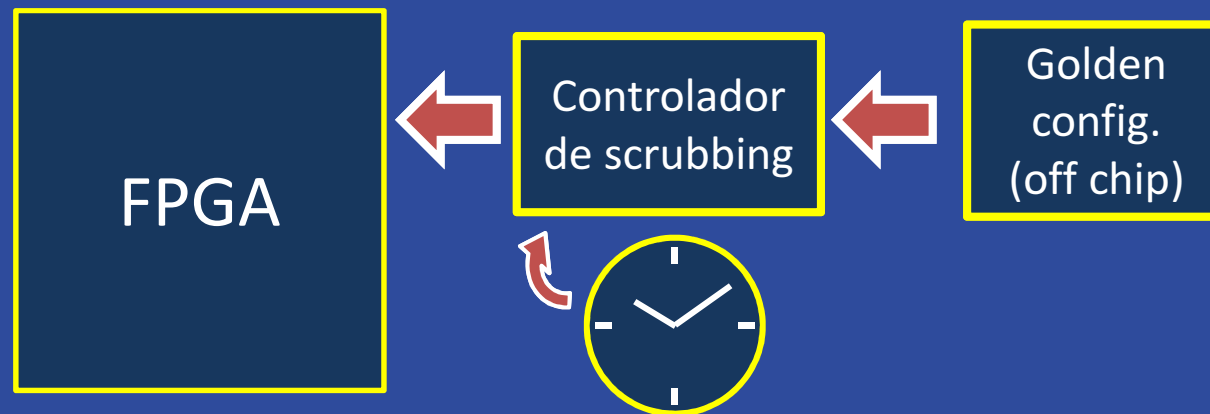
- Para evitar o **acúmulo de falhas**, técnicas que interajam diretamente com a memória de configuração são necessárias
- *Readback*: ler memória para detectar (e possivelmente localizar) erros
 - Comparando configuração lida com a esperada ou usando códigos de redundância de informação (ex. CRC)



Soluções específicas para FPGAs

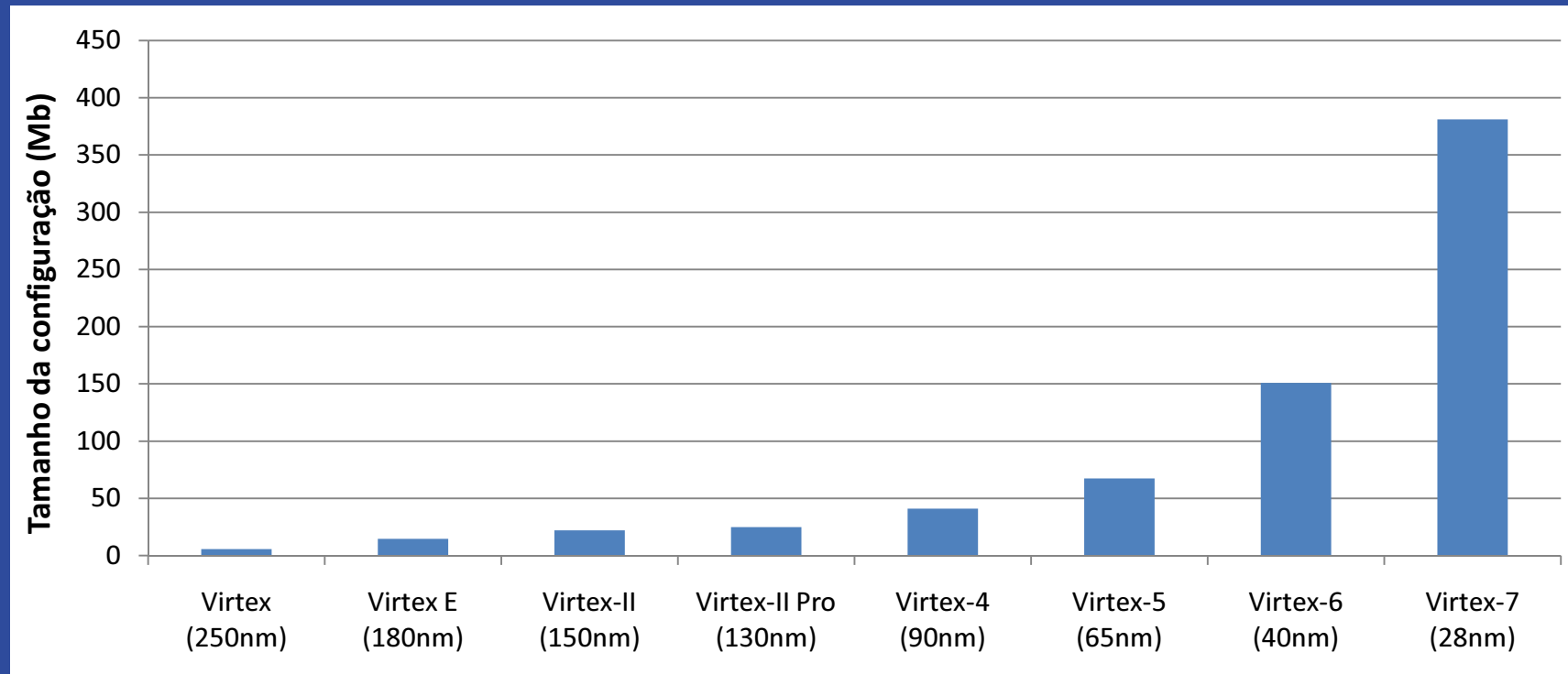
- *Scrubbing*

- Sobrescrita da configuração para correção de erros
- Periódico e preventivo
- Ou executado após detecção de erro



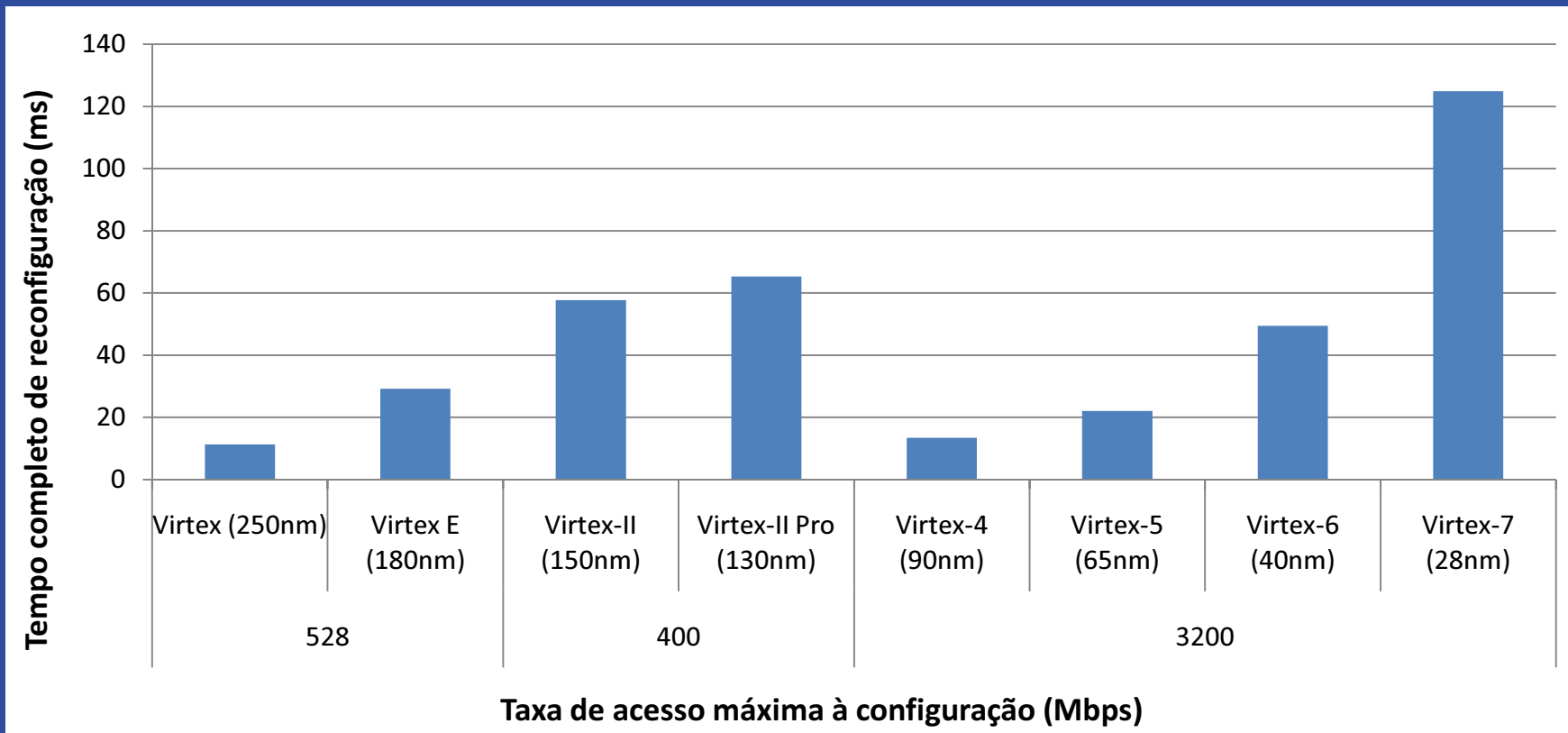
Soluções específicas para FPGAs

- Relembrando: memória de configuração: grande e crescente



Soluções específicas para FPGAs

- Resultado: tempo de configuração grande e crescente

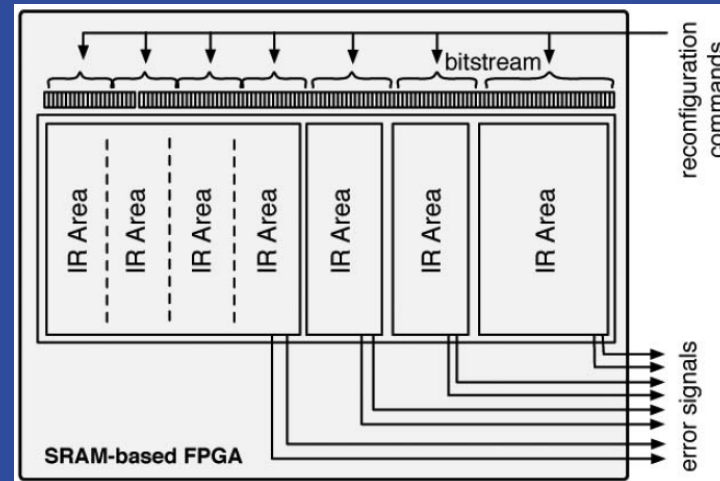
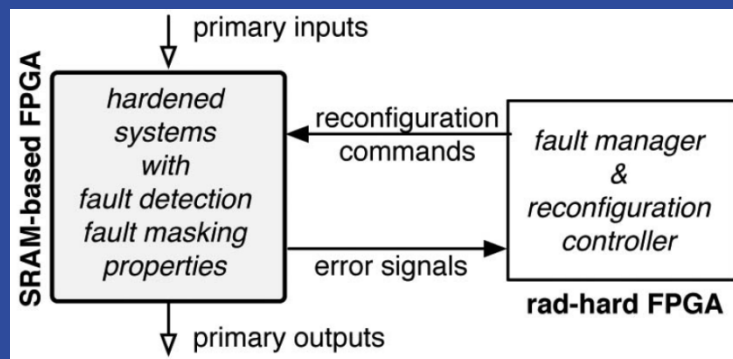


Soluções específicas para FPGAs

- Tempo de reparo obtido com técnicas baseadas em *scrubbing* se torna cada vez mais longo
 - Problema para sistemas com requisitos de disponibilidade e/ou tempo-real
 - Ainda: do ponto de vista de energia, é indesejável *scrubbing* contínuo
 - Soluções:
 - Usar técnicas de mascaramento de erros, como TMR (alto custo em área/energia)
 - Utilizar técnicas de detecção de erros + técnicas para reduzir tempo de reparo

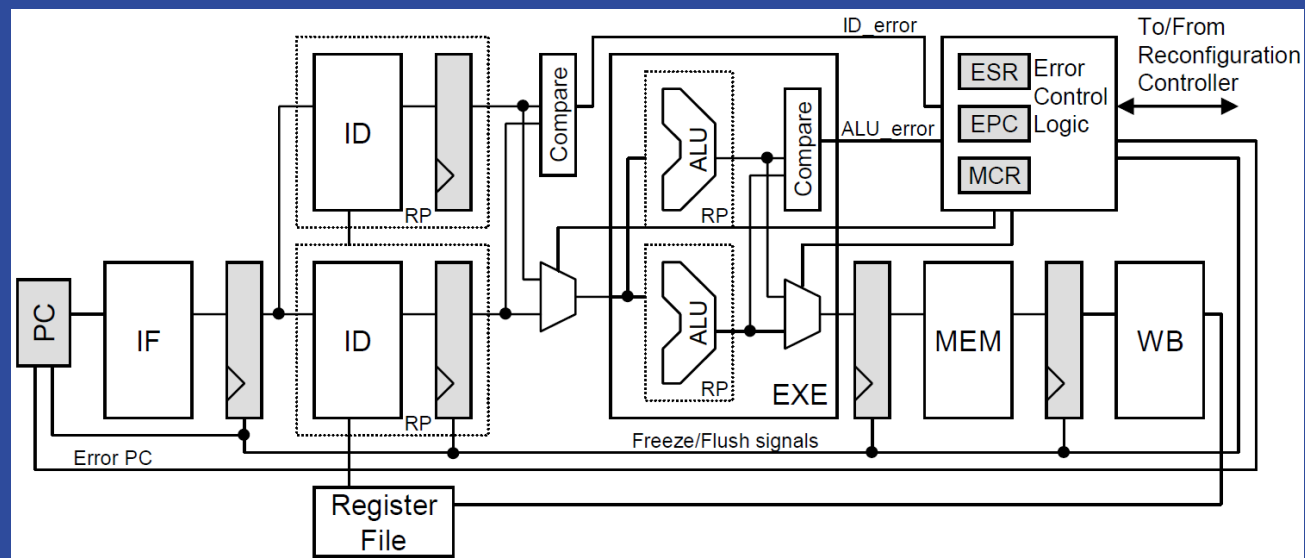
Soluções específicas para FPGAs

- Partições reconfiguráveis podem dividir o espaço de endereçamento em segmentos menores
 - Detecção de erros em cada partição permite localizar o erro e repará-lo em menos tempo
 - Diversos trabalhos nessa área. Exemplo:
 - C. Bolchini, A. Miele, and C. Sandionigi, “A Novel Design Methodology for Implementing Reliability-Aware Systems on SRAM-Based FPGAs,” in IEEE Trans. on Computers, vol. 60, no. 12, pp. 1744-1758, Dec. 2011.



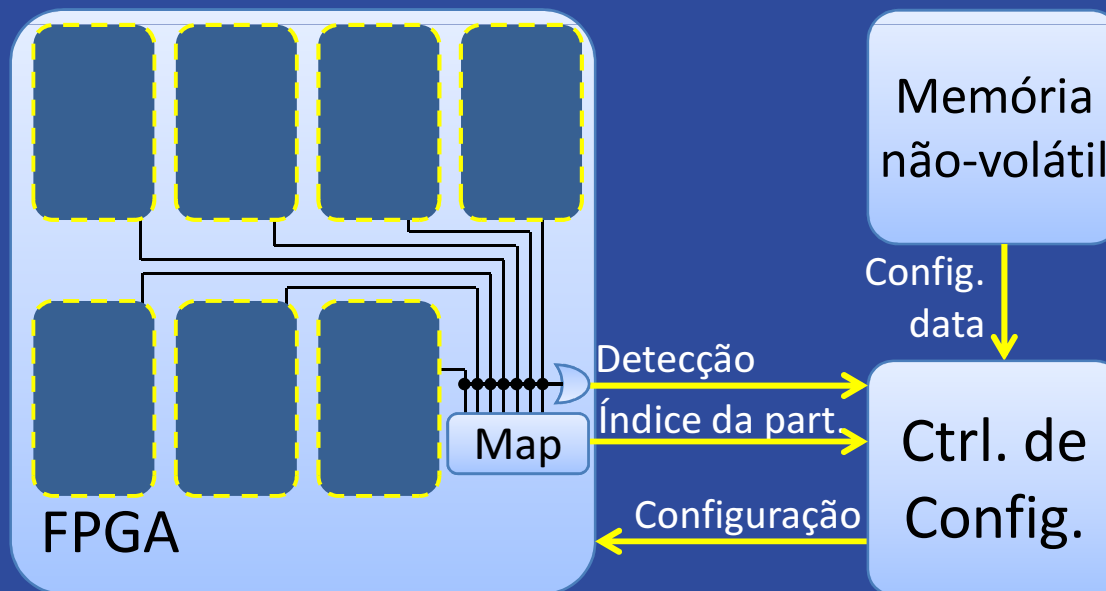
Soluções específicas para FPGAs

- **Detecção e reparo rápido podem evitar a necessidade de checkpointing e rollback**
 - Trabalhos focados em **softcore processors**
 - Execução interrompida antes que memória seja corrompida
 - M. Psarakis, and A. Apostolakis, "Fault Tolerant FPGA Processor Based on Runtime Reconfigurable Modules," in IEEE European Test Symposium (ETS), IEEE CS, pp. 1-6, 2012.



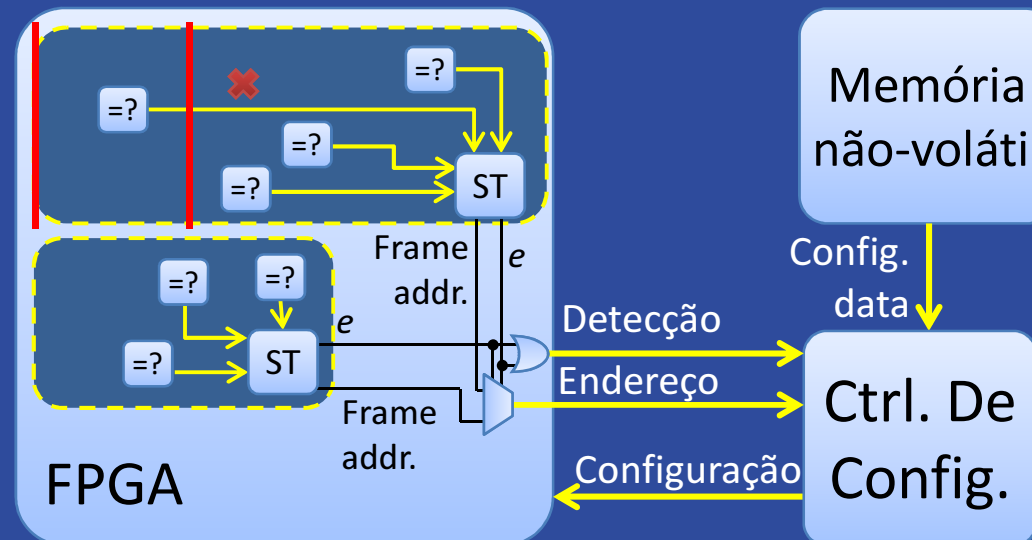
Soluções específicas para FPGAs

- Para tempos de reparo curtos, partições pequenas são necessárias
 - Muitas partições pequenas introduzem custos em área e desempenho
 - Muitos sinais de erro, mapeamento pode ficar custoso e lento



Soluções específicas para FPGAs

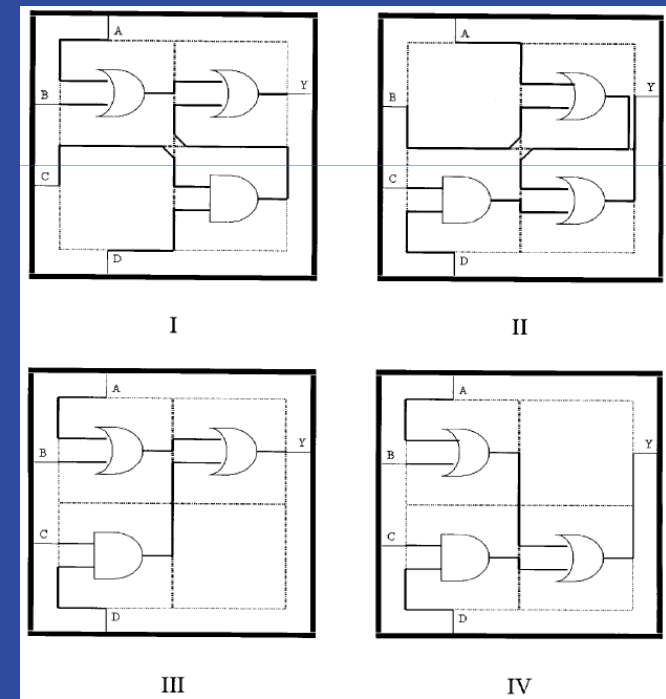
- **SURFER: Scrubbing Unit Relpositioning for Fast Error Repair**
 - G. L. Nazar, L. P. Santos, and L. Carro, “Scrubbing unit repositioning for fast error repair in FPGAs,” in: International Conference on Compilers, Architecture and Synthesis for Embedded Systems (CASES), 2013.
 - Detecção de erros de grão fino oferece **diagnóstico dentro da partição**
 - **Posição inicial é escolhida de forma a minimizar tempo médio de reparo**



Soluções específicas para FPGAs

- Para falhas permanentes: recursos reservados para substituir recursos com falhas

- Exemplo: J. Lach, W. H. Mangione-Smith, M. Potkonjak, “Low Overhead Fault-Tolerant FPGA Systems,” in IEEE Trans. on VLSI Systems, vol. 6, no. 2, pp. 212-221, June 1998.
- Múltiplas configurações pré-compiladas para cada partição, cada uma usando um sub-conjunto diferente dos recursos, mas mantendo a interface
- Não considera o problema de detecção



Soluções específicas para FPGAs

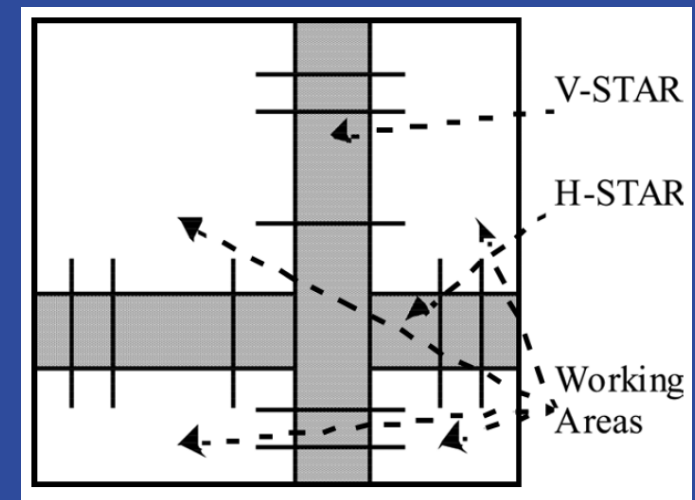
- Solução considerando **detecção e reparo**:

- J. M. Emmert, C. E. Stroud, M. Abramovici, “Online Fault Tolerance for FPGA Logic Blocks,” in IEEE Trans. on VLSI Systems, vol. 15, no. 2, pp. 216-226, Feb. 2007.

- **Roving Self-Test Areas (STARs):** áreas não usadas pela aplicação, usadas para teste

- Áreas que se deslocam ao longo do tempo, cobrindo todo o dispositivo

- Recursos de reserva também são pré-alocados para substituir componentes em falha



Sumário

- Avanço tecnológico e confiabilidade
- Aspectos específicos de FPGAs
- Aplicando técnicas clássicas em FPGAs
- Soluções específicas para FPGAs
- **Conclusões e desafios**

Conclusões

- **FPGAs introduzem numerosos desafios no contexto de tolerância a falhas**
 - **Modelo de falhas diferente do tradicional demanda modificações em técnicas clássicas**
- **Memória de configuração afeta todo o processo**
 - **Mecanismos específicos são necessários para tratá-la de forma eficiente e escalável**
- **Ainda assim, as vantagens que oferecem os tornam atrativos**
 - **Desempenho, custo, flexibilidade, reprogramabilidade**

Desafios

- Soluções que englobem diferentes eixos (falhas permanentes, envelhecimento, falhas transientes) de forma integrada
- Exploração efetiva da adaptabilidade dinâmica com o propósito de prover dependabilidade
- Automação do processo, incluindo DSE
- Avaliação efetiva e padronizada da eficácia de diferentes abordagens
 - Figuras de mérito representativas e fáceis de serem obtidas

Obrigado! Perguntas?

Adaptabilidade Dinâmica e o caminho para FPGAs do Futuro
**Confiabilidade frente às novas tecnologias de
manufatura**

Luigi Carro, *Gabriel L. Nazar*, Ricardo Ferreira
glnazar@inf.ufrgs.br